



DEUTSCHES
PATENTAMT

- ②1 Aktenzeichen:
②2 Anmeldetag:
④3 Offenlegungstag:

P 31 11 991.3-53

26. 3. 81

14. 10. 82

DE 3111991 A1

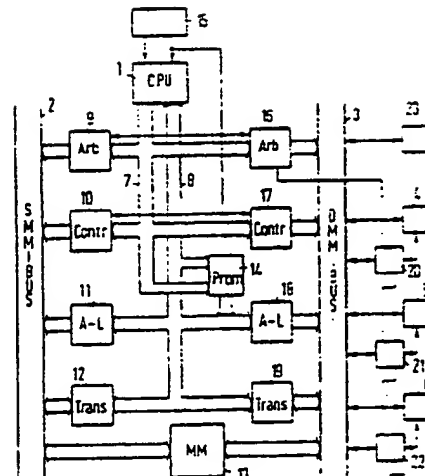
⑦1 Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

⑦2 Erfinder:
Agarwal, Virendra Kumar, Dipl.-Ing., 8000 München, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Geräteanschluß-Multimaster-Busstruktur

Die Erfindung betrifft eine Geräteanschluß-Multi-Master-Busstruktur in einer Anordnung mit einem Mikroprozessor, mehreren peripheren Steuerungen und einem Arbeitsspeicher. Sowohl dem Mikroprozessor als auch jeder peripheren Steuerung ist ein Bus-Zuweiser zugeordnet. Damit erhalten auch die peripheren Steuerungen in bezug auf den Zugriff zum Geräteanschluß-Multi-Master-Bus den Master-Status. Die Lösung von Prioritätsproblemen obliegt den Bus-Zuweisern. Mehrere solcher Anordnungen können über einen System-Multi-Master-Bus zu einem Multiprozessorsystem zusammengefaßt werden. (31 11 991)



DE 3111991 A1

BEST AVAILABLE COPY

Patentansprüche

①. Geräteanschluß-Multi-Master-Busstruktur zur Herstellung von Verbindungen zwischen einem Prozessor, insbesondere Mikroprozessor, einer Mehrzahl von peripheren Steuereinrichtungen und einem Arbeitsspeichermodul, d a d u r c h g e k e n n z e i c h n e t, daß dem Mikroprozessor (1) und den Steuereinrichtungen (4, 5, 6) je ein Bus-Zuweiser (16, 20, 21, 22) zur Einordnung der Zugriffsanforderungen zu einem Geräteanschluß-Multi-Master-Bus (3) entsprechend der den Steuereinrichtungen (4, 5, 6) bzw. dem Mikroprozessor (1) zugeordneten Prioritäten, sowie Hilfseinrichtungen für den Busanschluß zugeordnet sind.

2. Geräteanschluß-Multi-Master-Busstruktur nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t, daß mindestens eine Steuereinrichtung für direkten Speicherzugriff ausgebildet ist.

3. Geräteanschluß-Multi-Master-Busstruktur nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t, daß für mehrere Mikroprozessoren ein gemeinsamer System-Multi-Master-Bus (2) vorgesehen ist, daß jedem Mikroprozessor ein weiterer Bus-Zuweiser sowie weitere Hilfseinrichtungen für den Anschluß an dem System-Multi-Master-Bus (2) zugeteilt sind und daß die Bus-Zuweiser den Zugriff der Mikroprozessoren zum gemeinsamen System-Multi-Master-Bus (2) entsprechend der den Mikroprozessoren untereinander zugeordneten Prioritäten regeln.

SIEMENS AKTIENGESELLSCHAFT
Berlin und München

Unser Zeichen
VPA 81 P 2014 DE

Geräteanschluß-Multimaster-Busstruktur.

Die Erfindung bezieht sich auf eine Busstruktur nach dem Oberbegriff des Patentanspruchs 1.

5

Durch die Literaturstelle "Elektronik", 1979, Heft 20, Seite 73 bis 77 ist ein Multi-Mikrocomputersystem bekannt, bei dem der Datenaustausch zwischen den einzelnen Rechnern bzw. den diesen zugeordneten Speichern durch eine Steuer-
10 einrichtung für direkten Speicherzugriff (DMA-Steuerung) vermittelt wird. Die Programmierung der DMA-Steuerung, d. h. die Angabe der Übertragungsrichtung und die Spezifizierung der zu übertragenden Daten geschieht nur durch einen sogenannten Dialogrechner. Er kann nach Bedarf
15 mit einem von mehreren, untereinander gleichberechtigten Funktionsrechnern Daten austauschen.

Der Dialogrechner ist also in Beziehung auf den Zugriff zum Systembus stets bevorrechtigt, während die Funktions-
20 rechner im Hinblick auf den Buszugriff untergeordnet sind. Eine solche Master-Slave-Struktur hat jedoch den Nachteil, daß der bevorrechtigte Prozessor weitgehend mit Organisationsaufgaben beschäftigt ist und die Prüfung solcher Systeme erschwert wird. Dieser Mangel kann durch
25 die Bereitstellung eines speziellen Busrechners zwar gemildert, aber nicht ganz beseitigt werden, da die auftretenden Probleme teilweise nur verlagert werden.

Ein Multiprozessorsystem, bei dem jeder Prozessor nach Maß-
30 gabe der ihm zugeteilten Priorität von sich aus Zugriff zum gemeinsamen Systembus erlangen kann, ist durch das "SAB 8086 Family User's Manual", Oktober 1979, Seite A-111 bis A-130 der Firma Intel Corporation, Santa Clara, California, USA, im folgenden als 8086 Manual bezeichnet, bekannt.
35 She 1 Fdl/20. 3. 1981

In diesem Mikroprozessorsystem ist jedem Mikroprozessor neben einer Bussteuerung und weiteren Hilfseinrichtungen ein bestimmter Teil des Arbeitsspeichers und ein Bus-Zuweiser (Bus-Arbiter) zugeteilt. Der Bus-Zuweiser führt
5 in Verbindung mit der Bussteuerung die Aufschaltung des Prozessors auf den Systembus durch. Der Prozessor wird durch den Bus-Zuweiser nicht beeinflusst und gibt beispielsweise Befehle so aus, als hätte er den Systembus zur ausschließlichen Verfügung. Wenn der Prozessor den
10 Systembus nicht belegt hat, sorgt der Bus-Zuweiser für die Abschaltung der Bussteuerung, der Datensender und des Adressenpuffers vom Systembus, indem er beispielsweise die Ausgänge der betreffenden Leitungstreiber in den hochohmigen Zustand versetzt.

15 Der Systembus des bekannten Multiprozessorsystems wird als Multi-Masterbus bezeichnet, weil alle Prozessoren an sich gleichberechtigt sind und ein einmal begonnener Transferzyklus nicht durch die Busanforderung eines
20 anderen Prozessors unterbrechbar ist. Die Prozessoren sind also Master in Beziehung auf den Systembus. Da aber mehrere Prozessoren gleichzeitig den Zugriff zum System anfordern können, wird jedem Prozessor eine Priorität zugewiesen. Die Bus-Zuweiser sind so ausgebildet, daß
25 sie miteinander den jeweils vorliegenden Prioritätsfall lösen können.

Setzt man zunächst einmal voraus, daß in einem bestimmten Zeitpunkt der System-Multi-Master-Bus nicht belegt ist,
30 dann erhält unter allen Bus-Zuweisern, die den Bus anfordern, der Bus-Zuweiser bzw. der ihm zugeordnete Master mit der höchsten Priorität Zugriff zum Bus. Nach Abschluß des Transferzyklus wird der Bus auf Anforderung dem Bus-Master mit der nunmehr relativ höchsten Priorität für
35 einen Zyklus zugeteilt. Das gilt auch dann, wenn der Bus-Master, der eben noch im Busbesitz war, eine neue Anforderung gestellt hatte und eine höhere Priorität als die übrigen

Busbewerber besitzt.

Hinsichtlich der Art der Auflösung der Prioritätsprobleme ist es mit den bekannten Bus-Zuweisern möglich,
5 ein paralleles, serielles oder rotierendes Schema zu realisieren (vergleiche hierzu 8086 Manual, Abschnitt AP-51).

Für die Zusammenarbeit der Prozessoren jeweils mit einer
10 Gruppe von peripheren Elementen, wie Ein- und Ausgabege-
räten, Magnetbandgeräten usw. erfolgt gewöhnlich unter Einsatz einer Steuereinrichtung für direkten Speicherzugriff (DMA-Steuerung, vergleiche 8086 Manual Seite B-92 bis B-105). Eine DMA-Steuerung kann bis zu vier Kanäle
15 versorgen. Zugriffsanforderungen der Kanäle werden entsprechend ihrer Priorität behandelt. Die Prioritätszuordnung hängt von der Reihenfolge ab, in der die Leitungen für die Anforderungssignale mit den betreffenden Eingängen der DMA-Steuerung verbunden sind. Anstelle
20 von Kanälen können weitere DMA-Steuerungen angeschlossen werden.

Jede Transferoperation über eine DMA-Steuerung, insbesondere deren Einleitung und Beendigung beansprucht
25 auch den Prozessor, mit dem die DMA-Steuerung direkt oder indirekt verbunden ist. Der Prozessor kann während dieser Zeit nicht anderweitig aktiv werden.

Der Erfindung liegt die Aufgabe zugrunde, eine Multi-Master-Busstruktur anzugeben, bei der ein Prozessor, insbesondere
30 Mikroprozessor und mehrere periphere Steuereinrichtungen, beispielsweise DMA-Steuerungen als Bus-Master wirksam werden und zu einem Arbeitsspeicher bzw. zugeordneten Arbeitsspeicherteil Zugriff erhalten können.

35

Gemäß der Erfindung wird diese Aufgabe mit einer Geräteanschluß-Multi-Master-Busstruktur gelöst, bei der

den Steuereinrichtungen und dem Mikroprozessor je ein Bus-Zuweiser zugeteilt ist zur Steuerung der Buszugriffe aufgrund von Anforderungen und gemäß der den Steuereinrichtungen und dem Prozessor zugeordneten Prioritäten. Damit wird der Prozessor von Verwaltungsaufgaben erheblich entlastet.

Vorzugsweise wird die Erfindung innerhalb eines Multiprozessorsystems eingesetzt, bei dem für mehrere Prozessoren ein gemeinsamer Multi-Master-Systembus vorgesehen und jedem Prozessor ein Bus-Zuweiser zur Steuerung der Systembuszugriffe zugeteilt ist.

Im folgenden wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispieles näher beschrieben.

Es zeigt:

- Fig. 1 ein Blockschaltbild der erfindungsgemäßen Geräteanschluß-Multi-Master-Struktur,
- Fig. 2 die Anschaltung einer für direkten Speicherzugriff ausgebildeten peripheren Steuerung an den Geräteanschlußbus,
- Fig. 3 die entsprechend geänderte Anschaltung einiger Anschlußpunkte eines handelsüblichen Bus-Zuweisers-Bausteins.

Die Fig. 1 zeigt eine vereinfachte schematische Darstellung einer Anordnung mit einem Mikroprozessor 1 (CPU), der sowohl über einen System-Multi-Master-Bus 2 (SMM-BUS) mit weiteren Mikroprozessoren als auch über einen Geräteanschluß-Multi-Master-Bus 3 (DMM-BUS) mit peripheren (Geräte-) Steuerungen 4 bis 6 zusammenarbeitet. Mit dem Mikroprozessor 1 sind für den Anschluß an den System (Multi-Master-) Bus zwei in an sich bekannter Weise über einen Lokalbus 7 für Statussignale und einen Lokalbus 8 für Adressen und Daten ein Bus-Zuweiser 9 (ARB),

eine Bussteuerung 10 (Contr), ein Adressenpuffer 11 (A-L) und ein kombinierter Sende- Empfangsbaustein 12 (Trans.) verbunden. Über den Systembus 2 kann der Mikroprozessor 1 im Arbeitsspeicher 13 (MM) oder zu einem Teil davon zugreifen. Ein Decodierer oder Festwertspeicher 14 (PROM) erlaubt im Fall eines zur Adressierung des ganzen Arbeitsspeichers nicht ausreichenden Adressenumfangs eine dynamische Zuweisung des adressierbaren Teils des Arbeitsspeichers 13. Schließlich ist noch der Taktgeber 15 zu erwähnen, der den Takt für den Mikroprozessor 1, den Bus-Zuweiser 9 und die Bus-Steuerung 10 liefert und asynchron eingehende Fertigmeldungen verarbeitet. Ein näheres Eingehen auf den bisher behandelten Teil der Anordnung nach Fig. 1 erübrigt sich. Hierzu wird auf das 8086 Manual, insbesondere Abschnitt AP-51 verwiesen.

Zum Anschluß des Mikroprozessors 1 an den Geräteanschluß-Bus 3 sind nochmals die gleichen Anschlußelemente vorgesehen wie für den Anschluß an den System-Bus 2. Mit den lokalen Bussen 7 und 8 sind also gleichfalls ein Bus-Zuweiser 16, eine Bus-Steuerung 17, ein Adresspuffer 18 und ein Sende-Empfangsbaustein 19 verbunden.

Die bereits erwähnten Verbindungen der peripheren Steuerungen 4, 5 und 6 mit dem Geräteanschluß-Bus 3 sind in Fig. 1 nur symbolisch angedeutet. Tatsächlich werden diese Verbindungen über mehrere Hilfseinrichtungen abgewickelt, wie noch näher beschrieben wird. Gemäß der Erfindung ist jeder der peripheren Steuerungen 4 bis 6 ein eigener Bus-Zuweiser 20, 21 und 22 zugeordnet. Die Eingänge und Ausgänge für die Prioritätssteuerungen aller Bus-Zuweiser 16, 20, 21 und 22 für die Zugriffssteuerung zum Geräteanschluß-Bus 3 sind in Serie geschaltet. Der Eingang des Bus-Zuweisers 22 ist geerdet. Damit erhält die periphere Steuerung 6 die höchste Priorität für Buszugriffe. Einzelheiten hierzu sind dem 8086 Manual, Seite A-113 bis A-115 zu entnehmen.

An den Geräteanschluß-Bus 3 können auch noch Einheiten, wie Register, Zeitgeber, Unterbrechungssteuerung und dergleichen angeschlossen sein, die nur dann zum Bus zugreifen können, wenn kein Bus-Master den Buszugriff anfordert. Solche Einheiten, für die in Fig. 1 die Einheit 23 stellvertretend gezeigt ist, haben den Slave-Status.

In Fig. 2 ist als Beispiel die Anschaltung einer peripheren Steuerung für direkten Speicherzugriff (DMA-Steuerung, 8086 Manual, Seite B-92 bis B-105) an den Geräteanschluß-Bus 3 dargestellt. Die DMA-Steuerung 25, die einer der Steuerungseinrichtungen 4 bis 6 in Fig. 1 entspricht, ist mit dem Bus 3 über mehrere Teilbusse verbunden. Es sind das der Bus 26 für die Adressbit A0 bis A3, der Bus 27 für die Adressbit A4 bis A7, der Bus 28 für die Adressbit A8 bis A15 und der Bus 29 für die Datenbit DB0 bis DB7. Da die DMA-Steuerung die Adressbit A8 bis A15 und die Datenbit DB0 bis DB7 bzw. DB8 bis DB15 über die gleichen Anschlüsse abgibt bzw. aufnimmt, ist zur Aufspaltung bzw. Zusammenführung der beiden Teilbusse 28 und 29 ein von der DMA-Steuerung 25 über nicht dargestellte Steuerleitungen gesteuerter Adressenseparator 30 vorgesehen. Alle Teilbusse mit Ausnahme des Busses 27 sind für eine Übertragung in zwei Richtungen vorgesehen.

Mit der DMA-Steuerung 25 ist der zugeordnete Bus-Zuweiser 31 über zwei Leitungen für ein Bus-Anforderungssignal HRQ und ein Quittungssignal HLDA verbunden.

Von der DMA-Steuerung 25 werden vier Gerätesteuernngen 32 bis 35 verwaltet. Das entspricht der maximalen Anzahl. Die Gerätesteuernngen 32 bis 35 geben über vier Leitungen DREQ0 bis DREQ3 Anforderungen an die DMA-Steuerung 25 und erhalten über weitere vier Leitungen DACK0 bis DACK3 Quittungssignale, wenn eine Anforderung erfolgreich war. Bekanntlich ist durch die Reihenfolge

der Anschaltung der Gerätesteuernungen 32 bis 35 an die einzelnen Leitungen DREQ0 bis DREQ3 die Priorität festgelegt, mit der die Anforderungen der Gerätesteuernungen 32 bis 35 an die DMA-Steuerung bedient werden.

5

Die Gerätesteuernungen 32 bis 35 wickeln ihren Datenverkehr mit dem Geräteanschluß-Bus 3 in beiden Richtungen über einen gemeinsamen Datenbus 36 ab, der durch die Sende- Empfangsbausteine 37 und 38 in zwei Zweige aufgespalten ist. Die Verbindungen für die Freigabesignale der Sende- Empfangsbausteine 37 und 38 und für die Signale zur Steuerung der Übertragungsrichtung sind in Fig. 2 aus Gründen der Übersichtlichkeit nicht dargestellt. Gleichfalls nicht dargestellt sind Leitungen für weitere Steuersignale, die für den Betrieb der DMA-Steuerung zwar wichtig sind, aber den einschlägigen Unterlagen entnommen werden können, da ihre Funktion durch die Zuordnung eines dem Mikroprozessor 1 (Fig. 1) entlastenden Bus-Zuweisers nicht verändert wird. Hier ist vor allem auf die Signale $\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$, $\overline{\text{IOR}}$ und $\overline{\text{IOW}}$ zur Steuerung von Speicherzugriffen und des Datenverkehrs hinzuweisen.

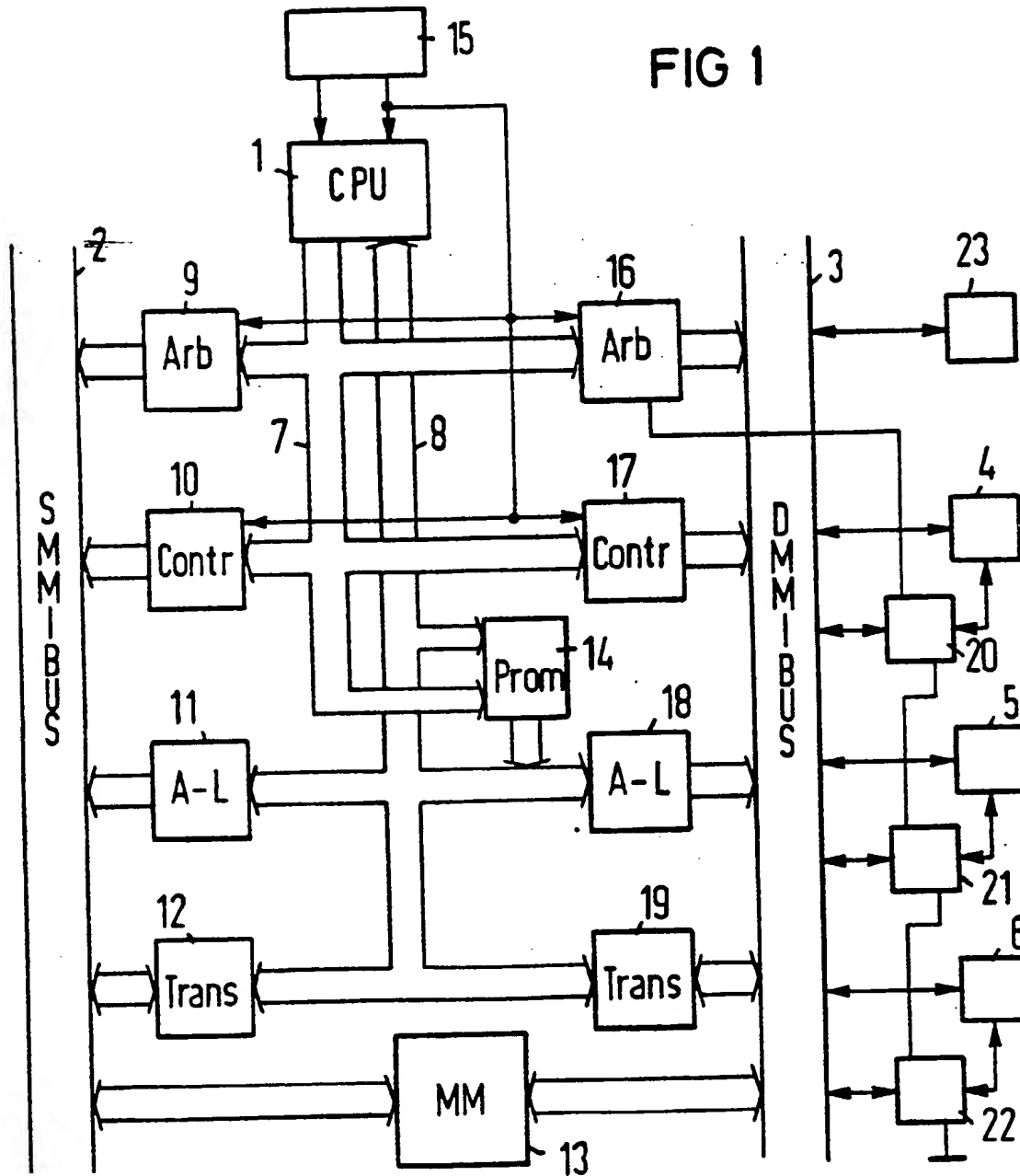
Die Anschaltung der den peripheren Steuereinrichtungen 4, 5 und 6 zugeordneten Bus- Zuweiser 20, 21 und 22 (vergleiche Fig. 1) unterscheidet sich geringfügig von der in bekannter Weise vorgenommenen Anschaltung der übrigen Bus-Zuweiser 16 und 7. In Fig. 3 sind nur diejenigen Anschlußpunkte eines der Bus-Zuweiser 20 bis 22 angegeben, die von den Änderungen betroffen sind. Das von der angeschlossenen DMA-Steuerung ausgesendete Bus-Anforderungssignal HRQ liegt nach Inversion durch den Inverter 40 am Eingang für das Statussignal $\overline{\text{S0}}$. Der Eingang für das Statussignal $\overline{\text{S1}}$ ist auf einem der binären "1" entsprechenden Potential festgehalten. Wie in Fig. 3 durch die gestrichelt gezeichneten Verbindungen angedeutet ist, kann an den Eingang für das Statussignal $\overline{\text{S2}}$ eine binäre "1" oder eine binäre "0" angelegt werden. Im ersten Fall gibt

der Bus-Zuweiser den Bus automatisch ab, wenn ein Transferzyklus zu Ende ist. Im zweiten Fall geschieht das erst, wenn eine Anforderung eines anderen Bus-Masters vorliegt. Das Signal $\overline{\text{AEN}}$ dient nach Inversion durch den Inverter 5 41 als Quittungssignal HLDA auf eine erfolgreiche Busanforderung durch die DMA-Steuerung. (Vergleiche Fig. 2).

3 Figuren

3 Patentansprüche

FIG 1



2/2 81 P 2014 DE

FIG 2

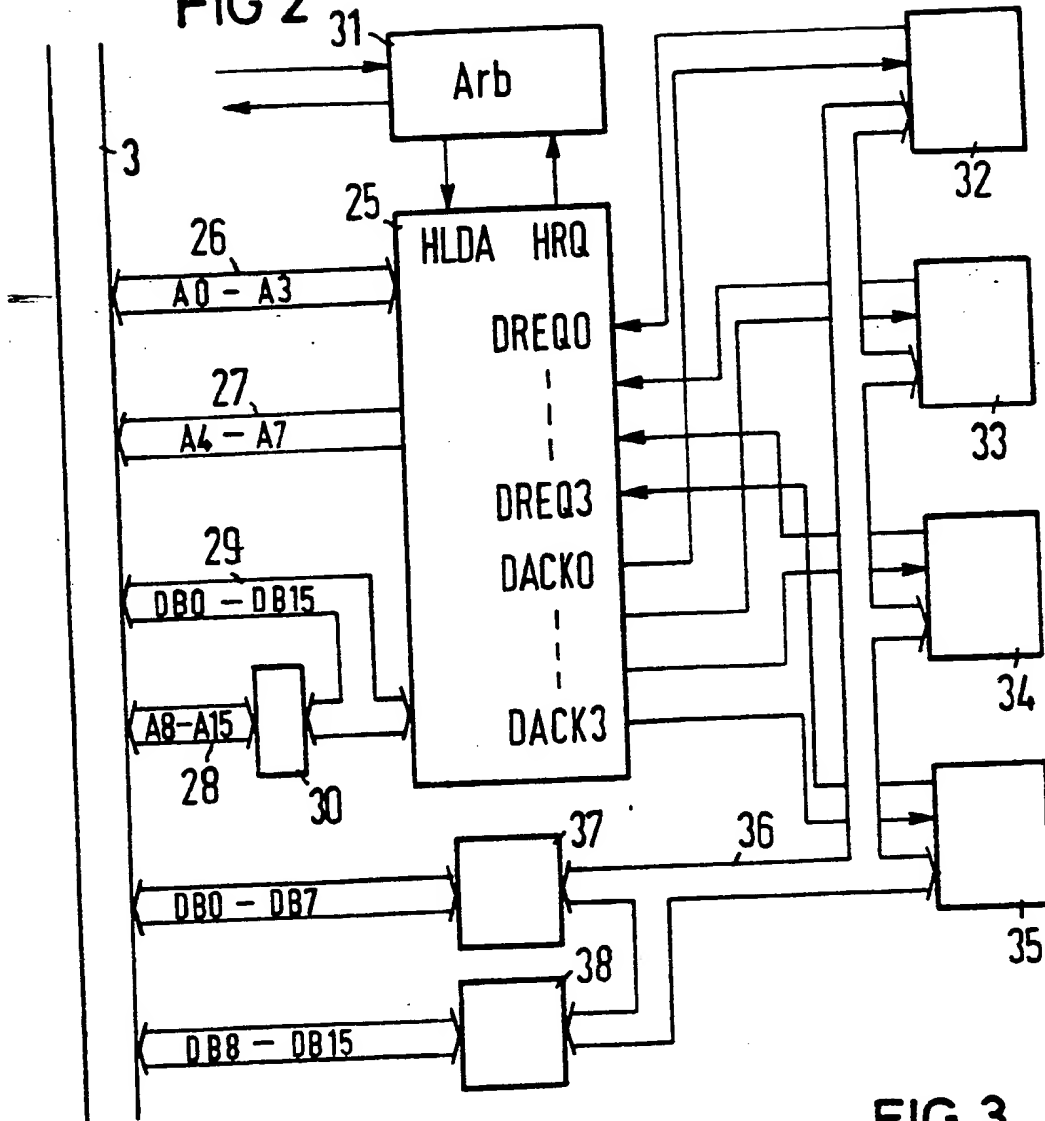
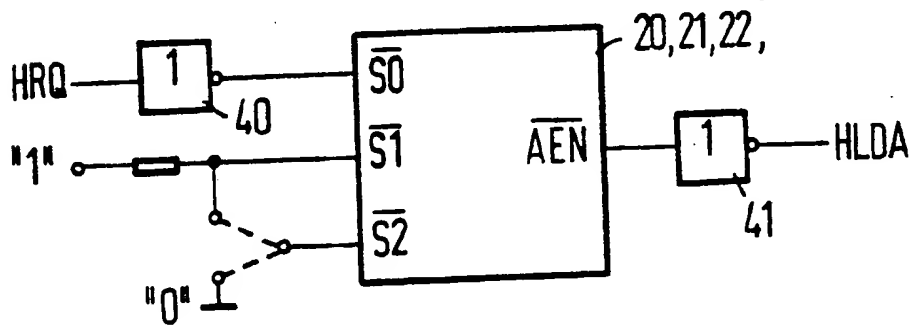


FIG 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)